

DISPLAY DEVICE AND DISPLAY PANEL

Publication number: JP2004145197

Publication date: 2004-05-20

Inventor: AGARI MASASHI; TOKIOKA HIDETADA; HASHIDO RYUICHI; URAKABE TAKAHIRO; GOTO SUEHIRO, OKABE MASASHI; INOUE MITSUO

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- International: **H01L51/50; G09G3/20; G09G3/30; H05B33/14; H01L51/50; G09G3/20; G09G3/30; H05B33/14; (IPC1-7): G09G3/30; G09G3/20; H05B33/14**

- European:

Application number: JP20020312523 20021028

Priority number(s): JP20020312523 20021028

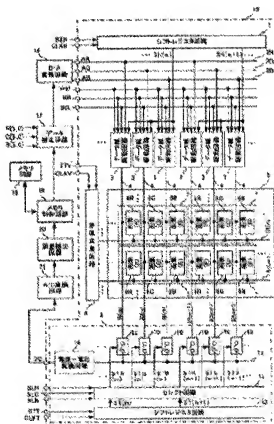
[Report a data error here](#)

Abstract of JP2004145197

PROBLEM TO BE SOLVED: To provide a display device capable of reducing unevenness of emission luminance by reducing variation in signal line driving currents of respective columns even when the variation of a TFT characteristic is large.

SOLUTION: The display device is provided with pixel matrix circuits each of which supplies a current to the light emitting element of each pixel, signal lines (data lines) each of which supplies a signal current to the pixel matrix circuit, data line driving circuits each of which outputs an input picture signal to the signal line as a signal line current, a signal current detecting circuit which detects the signal current to be supplied to the signal line of each column and a compensation circuit which compensates the input picture signal based on the detection result.

COPYRIGHT: (C)2004,JPO



Data supplied from the [esp@cenet](#) database - Worldwide

Family list**1** family member for: **JP2004145197**

Derived from 1 application

[Back to JP2004145](#)**1 DISPLAY DEVICE AND DISPLAY PANEL****Inventor:** AGARI MASASHI; TOKIOKA HIDETADA; **Applicant:** MITSUBISHI ELECTRIC CORP

(+5)

EC:**IPC:** *H01L51/50; G09G3/20; G09G3/30* (+8)**Publication info:** **JP2004145197 A** - 2004-05-20Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-145197

(P2004-145197A)

(43) 公開日 平成16年5月20日(2004.5.20)

(51) Int. Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

G09G 3/30

G09G 3/20 611H

G09G 3/20 622R

G09G 3/20 631U

J

K

611H

622R

631U

テーマコード(参考)

3K007

5C080

審査請求 未請求 請求項の数 9 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-312523(P2002-312523)

(22) 出願日 平成14年10月28日(2002.10.28)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74) 代理人 100102439

弁理士 宮田 金雄

(74) 代理人 100092462

弁理士 高瀬 彌平

(72) 発明者 上里 将史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 時間 秀忠

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置および表示パネル

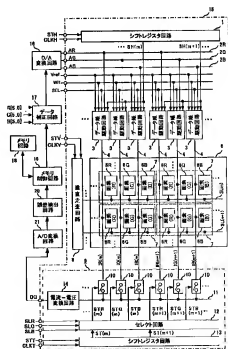
(57) 【要約】

【課題】 T F T特性のはらつきが大きい場合であっても各列の信号線駆動電流のはらつきを抑え、発光輝度のムラを抑えることのできる表示装置を得ることを目的とする

【解決手段】 各画素の発光素子に電流を供給する画素マトリクス回路と、画素マトリクス回路へ信号電流を供給する信号線(データ線)と、入力画像信号を信号電流として信号線へ出力するデータ線駆動回路と、各列の信号線へ供給される信号電流を検出する信号電流検出回路と、その検出結果に基づいて入力画像信号を補正する補正回路とを備える。

【選択図】

図1



【特許請求の範囲】

【請求項1】

各画素の発光素子に電流を供給する画素マトリクス回路と、
上記画素マトリクス回路へ信号電流を供給する信号線と、表示すべき画像信号を上記信号電流として上記信号線へ出力する信号線駆動手段と、上記画素マトリクス回路の各列の上記信号線へ供給される上記信号電流を検出し、検出結果として順次出力する信号電流検出手段と、上記信号電流検出手段により検出された検出結果に基づいて上記表示すべき画像信号を補正する補正手段とを備えたことを特徴とする表示装置。

【請求項2】

上記信号電流検出手段は、上記各列の信号線のそれぞれに一端が接続され各列毎に設けられたスイッチ回路と、上記スイッチ回路の他端が共通に接続された電流検出線と、上記スイッチ回路を順次導通するよう制御するスイッチ制御手段とを備えたことを特徴とする請求項1に記載の表示装置。

【請求項3】

上記信号電流検出手段は、上記電流検出線に現れる各列の信号電流を所定の電流比により増幅した後、電圧に変換する電流-電圧変換手段を備えたことを特徴とする請求項2に記載の表示装置。

【請求項4】

第1及び第2のレベルの上記表示すべき画像信号をそれぞれ入力したときの上記検出結果と上記第1及び第2のレベルに対応した基準検出結果との差分を誤差検出結果として出力する誤差検出手段を備え、上記補正手段は、上記第1及び第2のレベルに対応した各列の上記誤差検出結果に基づいて、上記表示すべき画像信号を補正することを特徴とする請求項1に記載の表示装置。

【請求項5】

N種類のレベル ($3 \leq N \leq$ 表示階調数) の上記表示すべき画像信号をそれぞれ入力したときの上記検出結果と上記N種類のレベルに対応した基準検出結果との差分を誤差検出結果として出力する誤差検出手段を備え、上記補正手段は、上記表示すべき画像信号のレベルが、上記N種類のレベルうちの隣接する2つのレベルの間に於けるいずれの区間にあるかを判別し、該隣接する2つのレベルに対応した各列の上記誤差検出結果に基づいて、上記表示すべき画像信号を補正することを特徴とする請求項1に記載の表示装置。

【請求項6】

上記補正手段は、上記表示すべき画像信号の取り得る全てのレベルをそれぞれ入力したときの上記誤差検出結果に基づいて、上記表示すべき画像信号を補正することを特徴とする請求項1に記載の表示装置。

【請求項7】

上記画素マトリクス回路を順次走査する走査手段を備え、上記信号電流検出手段により上記信号電流を検出するときには上記走査手段を停止することを特徴とする請求項1に記載の表示装置。

【請求項8】

上記誤差検出結果を保持するメモリ手段を備えたことを特徴とする請求項4～6のいずれかに記載の表示装置。

【請求項9】

各画素の発光素子に電流を供給する画素マトリクス回路と、
上記画素マトリクス回路へ信号電流を供給する信号線と、表示すべき画像信号を上記信号電流として上記信号線へ出力する信号線駆動手段と、上記画素マトリクス回路の各列の上記信号線へ供給される上記信号電流を検出し、検出結果として順次出力する信号電流検出手段を備えたことを特徴とする表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

30

40

50

この発明は、有機EL (Electro Luminescence) 等の電流により発光輝度が変化する発光素子を各画素に備えた表示装置およびそれに用いる表示パネルに関する。

【0002】

【従来の技術】

近年、携帯情報端末やテレビジョン受像機向けに有機ELを発光素子とした表示装置が盛んに開発されている。有機ELなどの発光素子を各画素に備えた発光型表示装置は、良好な視認性を有し、また動画表示特性も優れている。

特にガラス基板上に形成された薄膜トランジスタ (TFT (Thin Film Transistor)) を画素のスイッチング素子として使用したアクティブ型表示装置においては、書き換えられた信号に基づいて、次の書き換え時また発光素子に電流を流し続けることが出来るため、画素にスイッチング素子を用いないパッシブ型よりも小さい発光素子への駆動電流で高輝度が得られるという利点がある。

【0003】

従来の表示装置においては、走直線ScanA及びScanBを順次選択する走直線駆動回路と、輝度情報に応じた電流レベルを有する信号電流IWを生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走直線ScanA、ScanB及び各データ線dataの交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子OLEDを含む複数の画素とを備えている。特徴事項として、当該画素は、当該走直線ScanAが選択された時当該データ線dataから信号電流IWを取り込む受入部と、取り込んだ信号電流IWの電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLEDに流す駆動部とからなる (例えば、特許文献1参照)。

【0004】

【特許文献1】

特開2001-147659号公報 (第7-9頁、図1及び図5)

【0005】

【発明が解決しようとする課題】

薄膜トランジスタのうち、低温プロセスで製作可能な低温多結晶シリコンTFT (低温P-SiTFT) は、アモルファスシリコンTFTに比べて移動度が高いため、この低温P-SiTFT駆動回路をガラス基板上に画素マトリクス回路と一体形成することが可能であり、液晶表示装置をはじめとして広く用いられるようになってきた。

ところが、低温P-SiTFTは、一般にレーザーアニールにより形成されるが、レーザー照射強度をガラス基板面内で均一に制御することが難しいなどの理由により、単結晶シリコンよりもV_{th} (閾電圧) や μ (移動度) などの特性ばらつきが大きいことが知られている。

【0006】

従来の表示装置では、データ線駆動回路を表示パネル内にTFTを用いてガラス基板に画素マトリクスと一体に構成する場合、TFT特性のばらつきによって、各列のデータ線 (信号線) 駆動電流にばらつきが生じ、発光輝度に縦筋状もしくは縦帯状のムラが発生するという問題がある。

【0007】

本発明は上述のような課題を解決するためになされたもので、TFT特性のばらつきが大きい場合であっても各列の信号線駆動電流のばらつきを抑え、発光輝度のムラを抑えることのできる表示装置を得ることを目的とする。

【0008】

また、表示パネルや表示装置の製造時において、信号線駆動電流のばらつきを検出して容易に良品/不良品の選別検査を行うことのできる表示パネルを得ることを目的とする。

【0009】

【課題を解決するための手段】

本発明の第1の構成に係る表示装置は、各画素の発光素子に電流を供給する画素マトリクス回路と、上記画素マトリクス回路へ信号電流を供給する信号線と、表示すべき画像信号を上記信号電流として上記信号線へ出力する信号線駆動手段と、上記画素マトリクス回路の各列の上記信号線へ供給される上記信号電流を検出し、検出結果として順次出力する信号電流検出手段と、上記信号電流検出手段により検出された検出結果に基づいて上記表示すべき画像信号を補正する補正手段とを備えたことを特徴とする。

【0010】

また、本発明の第2の構成による表示装置では、上記第1の構成において、上記信号電流検出手段として、上記各列の信号線のそれぞれに一端が接続され各列毎に設けられたスイッチ回路と、上記スイッチ回路の他端が共通に接続された電流検出線と、上記スイッチ回路を順次導通するよう制御するスイッチ制御手段とを備えたものである。

【0011】

また、本発明の第3の構成による表示装置では、上記第2の構成において、上記信号電流検出手段として、上記電流検出線に現れる各列の信号電流を所定の電流比により増幅した後、電圧に変換する電流-電圧変換手段を備えたものである。

【0012】

また、本発明の第4の構成による表示装置では、上記第1の構成において、第1及び第2のレベルの上記表示すべき画像信号をそれぞれ入力したときの上記検出結果と上記第1及び第2のレベルに対応した基準検出結果との差分を誤差検出結果として出力する誤差検出手段を備え、上記補正手段は、上記第1及び第2のレベルに対応した各列の上記誤差検出結果に基づいて、上記表示すべき画像信号を補正するものである。

【0013】

また、本発明の第5の構成による表示装置では、上記第1の構成において、N種類のレベル($3 \leq N \leq$ 表示階調数)の上記表示すべき画像信号をそれぞれ入力したときの上記検出結果と上記N種類のレベルに対応した基準検出結果との差分を誤差検出結果として出力する誤差検出手段を備え、上記補正手段は、上記表示すべき画像信号のレベルが、上記N種類のレベルうちの隣接する2つのレベルの間におけるいずれの区間にあるかを判別し、該隣接する2つのレベルに対応した各列の上記誤差検出結果に基づいて、上記表示すべき画像信号を補正するものである。

【0014】

また、本発明の第6の構成による表示装置では、上記第1の構成において、上記補正手段は、上記表示すべき画像信号の取り得る全てのレベルをそれぞれ入力したときの上記各列の上記誤差検出結果に基づいて、上記表示すべき画像信号を補正するものである。

【0015】

また、本発明の第7の構成による表示装置では、上記第1の構成において、上記画素マトリクス回路を順次走査する走査手段を備え、上記信号電流検出手段により上記信号電流を検出するときには上記走査手段を停止するものである。

【0016】

さらに、本発明の第8の構成による表示装置では、上記第4～6のいずれかの構成において、上記誤差検出結果を保持するメモリ手段を備えたものである。

【0017】

また、別の発明の表示パネルは、各画素の発光素子に電流を供給する画素マトリクス回路と、上記画素マトリクス回路へ信号電流を供給する信号線と、表示すべき画像信号を上記信号電流として上記信号線へ出力する信号線駆動手段と、上記画素マトリクス回路の各列の上記信号線へ供給される上記信号電流を検出し、検出結果として順次出力する信号電流検出手段とを備えたものである。

【0018】

【発明の実施の形態】

実施の形態1

図1は、本発明の実施の形態1による表示装置の構成を示すブロック図である。図におい

10

20

30

40

50

7、1はシフトレジスタ回路、2R、2G、2BはそれぞれRGB各色のアナログ画像信号が供給されるR用、G用、及びB用入力信号線、3はデータ線駆動回路、4はデータ線(信号線)、5はRGB各色画素がマトリクス配列された画素マトリクス、6R、6B、6GはそれぞれR用、G用、及びB用画素回路、7は画素、8は垂直走査回路、9はデータ線駆動電流検出回路、10はスイッチ回路、11は電流検出線、12はセレクト回路、13はシフトレジスタ回路、14は電流-電圧変換回路、15は有機EL表示パネル、16はD/A変換回路、17はデータ補正回路、18はメモリ回路、19はメモリ制御回路、20は誤差検出回路、21はA/D変換回路である。

【0019】

ここでは、例えば、R(Red)G(Green)B(Blue)各色8ビットの画像データによる26万色の表示を行う場合について説明する。また、図はRGB各2列分の構成を示し、添え字mは例えば左からm番目のRGB各列(RGB各列の組)に対応していることを示す。

また、シフトレジスタ回路1、データ線駆動回路3、画素回路6R、6G、6B、垂直走査回路8、データ線駆動電流検出回路9は、有機EL表示パネル15に内蔵されている。すなわち、例えばガラス基板上に形成された低温多結晶シリコンTFTによりこれらの回路を形成するとともに、画素回路6R、6G、6Bの画素電極(図示せず)上に有機EL層が蒸着等により形成されている。

【0020】

次に、動作につき説明する。本実施の形態1においては、入力されるデジタル画像信号R[5...0]、G[5...0]、B[5...0]に基づいて表示を行う表示モードと、各データ線4の駆動電流を検出して、所定の基準値REFとの差を誤差信号としてメモリ回路18にストア(保持)するデータ線駆動電流検出モードの2つの動作モードを備える。まず、表示モードにおける動作につき以下説明する。

【0021】

コントローラ回路(図示せず)から入力された表示すべき画像信号R[5...0]、G[5...0]、B[5...0]は、データ補正回路17により所定の補正が行われた後(補正方法については後述する)、D/A変換回路16によりアナログ電流に変換され、各色入力信号線2R、2G、2Bに供給される。

一方、シフトレジスタ回路1にはコントローラ回路(図示せず)よりスタートパルスSH(0)、...、SH(m)、...、SH(M-1)を順次発生してデータ線駆動回路3へ出力する。

【0022】

各列のデータ線駆動回路3は、シフトレジスタ回路1より出力されるシフトパルスSH(0)、...、SH(m)、...、SH(M-1)により、入力信号線2R、2G、2Bに供給された表示すべき画像に應じた1行表示分のアナログ電流AR、AG、ABを順次サンプリングし、そのとき駆動TFTに流れる電流をそのゲートに接続されたキャパシタにより保持する。

ここで、データ線駆動回路3は、例えば図2に示すように、2系統A/Bの電流源回路32a、32b、ゲート回路31a、31b、及びスイッチ回路30からなり、入力信号線2R、2G、2Bに入力されているアナログ電流を書き込む(サンプリングする)電流書き込み動作と、書き込んだアナログ電流を再現してデータ線4へ出力する電流出力動作を1ライン期間毎に相補的に繰り返すものとする。なお、本実施の形態においては、各データ線駆動回路3は電流を引き込むようにデータ線4を駆動するが、ここではこの電流引き込み動作を便宜上電流出力と表現する。

【0023】

図において、30は2系統A/B電流源回路32a、32bの出力を切り替えるスイッチ回路であり、n型TFT300a、300bを含む。また、31a、31bは系統A出力イネーブル信号EN-A、系統B出力イネーブル信号EN-B、及びシフトレジスタ回路

10

20

30

40

50

1 からのシフトパルス 8H (m) により電流源回路 32a、32b へ制御信号を出力するゲート回路であり、ここでは、AND 回路 310a、310b、311a、311b、及び OR 回路 312a、312b を含むものとする。

【0024】

また、系統 A 電流源回路 32a は、n 型 TFT 320a、322a、323a、キャパシタ 321a、P 型 TFT 324a、及びゲミ-負荷 325a を含むものとする。TFT 320a は、データ線 4 を駆動する駆動トランジスタであり、そのドレインは TFT 300a のソースに接続され、ゲートはキャパシタ 321a の一端に接続され、ソースは接地されている。また、キャパシタ 321a の他端は接地されている。

TFT 322a のドレインは TFT 320a のドレインと接続され、ゲートは TFT 323a のゲート、及び AND 回路 310a の出力に接続され、ソースは TFT 320a のゲート、及びキャパシタ 321a に接続されている。

10

【0025】

また、TFT 323a のドレインは、入力信号線 2R、2G、2B に接続され、ソースは TFT 320a のドレインに接続されている。TFT 324a のドレインは、TFT 320a のドレインに、ゲートは AND 回路 311a の出力に、ソースはゲミ-負荷 325a を介して電源 VDD に接続されている。

さらに、系統 B 電流源回路 32b も、系統 A 電流源回路 32a と同様に構成されている。

【0026】

例えば、系統 A 出力イネーブル信号 EN_A が非アクティブ ("L" レベル)、系統 B 出力イネーブル信号 EN_B がアクティブ ("H" レベル) の場合、AND 回路 310a の出力信号はシフトパルス 8H (m) に応じて "H" レベルとなり、系統 A 電流源回路 32a の TFT 322a、323a を導通させる。これにより、TFT 320a のドレインとゲートが接続されてゲイオード接続状態となる。一方、入力信号線 2R、2G、2B を介して供給されるアナログ画像信号電流 AR、AG、AB は TFT 323a を介して、TFT 320a のドレイン-ソース間に流れるとともに、TFT 322a を介してゲートに接続されたキャパシタ 321a を充電する。

20

【0027】

そして、当該列のサンプリングパルス 8H (m) が "L" レベルになると、TFT 322a、323a が非導通となりアナログ画像信号電流 AR、AG、AB の TFT 320a への供給が終了するが、TFT 320a のゲート電圧はキャパシタ 321a により保持される。

30

そして、系統 A 出力イネーブル信号 EN_A がアクティブ ("H" レベル) になると、駆動 TFT 320a は、TFT 300a を介して、アナログ画像信号電流が供給された際にキャパシタ 321a によりゲートに保持された電位に応じた電流をドレインから流し込むことによりデータ線 4 を駆動する。

【0028】

このとき、入力信号線 2R、2G、2B からの電流供給が終了してから系統 A 出力イネーブル信号 EN_A がアクティブ ("H" レベル) となってデータ線 4 を駆動するまでの間、TFT 320a の吸い込み電流経路が遮断されてしまうと、TFT 320a のドレイン電位が下がり、TFT 320a、TFT 322a を介して、キャパシタ 321a に保持された電荷がリークしていく。このことは、TFT 320a のゲート電圧が次第に下がり、吸い込み電流 (ドレイン-ソース間電流) が低下することを意味し、入力信号線から吸い込む入力信号線駆動電流が次第に低下していくことになり、ひいては表示むらの原因となる。

40

【0029】

そこで、TFT 324a とゲミ-負荷 325a を設ける。TFT 324a のソースはゲミ-負荷 325a に接続されており、ゲミ-負荷 325a はさらに電源 VDD に接続されている。ここでは、系統 A 出力イネーブル信号 EN_B と電流検出識別信号 DET (電流検出モードでアクティブ ("H" レベル)) との論理和 (OR) を OR 回路 312a にてと

50

り、その出力信号とシフトパルス8H(m)との論理積(AND)をAND回路811aにより出力して、これによりTFT824aの導通を制御する。

【0030】

これにより、表示モード時に於いて、駆動TFT820aがTFT800aを介してデータ線4を駆動しない場合、入力信号線2R、2G、2Bにより電流が供給されないときには、TFT820aのドレインがTFT824a、グミール負荷825aを介して電源VDに接続されることにより、TFT820aには電流が流れ、吸い込み電流経路が遮断してしまうことはない。従って、キャパシタ821aの電荷がリークすることによりTFT820aのゲート電位が次第に低下することを防止することができる。

系統B電流源回路82bも系統A電流源回路82aと同様に動作し、それぞれ相補的にデータ線4を駆動する。

【0031】

次に、画素回路6R、6G、6Bについて説明する。

図3は画素回路6R、6G、6Bの構成を示す図である。図において、60、61はP型TFT、62、63はn型TFT、64はキャパシタ、65は有機EL発光素子である。まず、入力信号線を介した書き込み動作時には、スキャン線Bが“H”レベルのときスキャン線Aが“H”レベルとなり、信号線(データ線4)を介して入力信号線駆動電流が入力信号線駆動回路8から吸い込まれる。このときのTFT60に流れる入力信号線駆動電流に応じたゲート電位がキャパシタ64によって保持される。

【0032】

そして、EL発光素子駆動動作時には、スキャン線Bが“L”レベルになり、続いてスキャン線Aが“L”レベルになると、TFT60、61のゲートは接続されているのでTFT60、61はカレントミラー回路を構成し、キャパシタに保持されたゲート電位に応じた電流がTFT61のソースドレイン間を流れ、TFT61のドレインは有機EL発光素子65のアノードに接続されており、この電流は有機EL発光素子65の駆動電流となる。そして、有機EL発光素子65は、駆動電流に応じた発光強度で発光する。TFT61のゲート電圧がキャパシタ64で保持されているので、次のフレーム期間でスキャン線A、Bがスキャンされるまで、有機EL発光素子65には駆動電流が流れつづけるので、それにしたがって発光することになる。また、スキャン線Bのみを“H”レベルにすることにより、キャパシタ64に保持された電荷がTFT62、60を介してリークしてTFT61のゲート電位が引き上げられるので、TFT61が遮断され、有機EL発光素子65の駆動電流を停止して発光を止めることができる。

【0033】

図1に戻って、垂直走直回路8にはコントローラから所定のタイミングでスタートパルス6TV、シフトクロックCLKVが入力され、それに基づいてシフトパルスが生成され、画素回路6R、6G、6Bを走査するための走直信号をスキャン線A、スキャン線Bに供給する。

以上のように、表示モードにおいては、入力信号線2R、2G、2Bへ供給される1行表示分の画像に応じた電流が1ライン期間内で順次データ線駆動回路8へ供給され、供給された電流を次のライン期間で再現することによりデータ線4を駆動して、画素回路6R、6G、6Bへ電流を書き込む(供給する)。このような処理をライン期間ごとに繰り返すことにより、1画面分の表示が行われる。

【0034】

さて次に、データ線駆動電流検出モードにおける動作につき説明する。

図4は、データ線駆動電流検出モードにおける動作シーケンスを示す波形図である。まず、データ線駆動電流検出モード時には、コントローラ回路(図示せず)からのスタートパルス8TV及びシフトクロックCLKVの供給を停止する(例えば、両制御信号ともに“L”レベルに固定)ことにより垂直走直回路8を停止する。これにより、各画素回路6R、6B、6Gの走直を停止して、各画素回路6R、6B、6Gへの電流の書き込みは行わないよう制御する。

一方、表示モードと同様に、コントローラ回路からシフトレジスタ回路1へ所定のタイミングでスタートパルスSTH、シフトクロックCLKHを供給し、シフトパルスSH(0)、・・・、SH(m)、・・・、SH(M-1)を順次生成する。

【0035】

また、コントローラ回路からは第1のレベル(大きさ)K1を有する6ビットのデジタル信号がデジタル画像信号R[5...0]、G[5...0]、B[5...0]としてデータ補正回路17へ入力される。このとき、データ補正回路17は、入力される画像信号に対して後述するようなビット拡張を行ってレベルS1(1)の信号としてD/A変換回路16へ出力する。そして、D/A変換回路16では、レベルS1(1)のデジタル信号をアナログ電流Ii(1)として有機ELパネル15の入力信号線2R、2G、2Bへ出力する。

【0036】

このとき、系統A出力イネーブル信号EN-Aが非アクティブ("L"レベル)、系統B出力イネーブル信号EN-Bがアクティブ("H"レベル)としてコントローラから入力され、これらの出力イネーブル信号とシフトレジスタにより生成されるシフトパルスにより、表示モードと同様にして、各列のデータ線駆動回路3の系統A電流源回路32aにおける駆動電流IT320aのドレインソース間には順次、入力信号線2R、2G、2Bに供給されたアナログ電流Ii(1)が流れる。そして、全ての列の系統A電流源回路32aに対するアナログ電流Ii(1)を書込む(サンプリングする)ことによる電流書き込み動作が終了する。

【0037】

その後、データ線4の駆動電流を検出する電流検出動作へ移行する。電流検出動作においては、系統A出力イネーブル信号EN-Aがアクティブ("H"レベル)、系統B出力イネーブル信号EN-Bが非アクティブ("L"レベル)となり、系統A電流源回路32aは電流出力動作となる。

R用画素回路6Rに接続されたデータ線4に対する駆動電流検出動作においては、シフトレジスタ13へは、図4に示すように、コントローラ(図示せず)から所定のタイミングでスタートパルスSTT、シフトクロックCLKTが入力され、順次シフトパルスST(0)、・・・、ST(m)、・・・、ST(M-1)が生成され、セレクト回路12へ入力される。

【0038】

図5にデータ線駆動電流検出回路の構成を示す。R用画素回路6R、G用画素回路6G、B用画素回路6Bに接続されたデータ線4(以降、それぞれR用データ線4R、G用データ線4G、B用データ線4Bと記す。)にはそれぞれTFT50R、50G、50Bのソースが接続されており、各TFTがスイッチ回路10を構成する。各TFT50R、50G、50Bのドレインは共通の電流検出線11に接続されており、また、TFT50R、50G、50Bのゲートはそれぞれセレクト回路12を構成するANDゲート51R、51G、51Bの出力へ接続されている。

【0039】

ANDゲート51Rには、当該列に対応したシフトパルスST(m)、及びR用セレクト信号SLRが入力され、両信号がアクティブ("H"レベル)のときに、ANDゲート51Rの出力信号は"H"レベルとなってTFT50Rが導通するよう制御する。

同様に、ANDゲート51G、51Bには、シフトパルスST(m)及びG用、B用セレクト信号SLG、SLBがそれぞれ接続されており、TFT50G、50Bの導通を制御する。

ここでは、図4に示すように、まずコントローラ(図示せず)からR用セレクト信号SLRをアクティブ("H"レベル)として、シフトレジスタ13のスタートパルスSTT、シフトクロックCLKTを入力することにより、各R用データ線4Rに接続されたTFT50Rを順次導通させる。すなわち、シフトレジスタ回路13及びセレクト回路12がスイッチ回路10を順次導通するように制御することになる。

【0040】

一方、電流検出線11には、カレントミラー回路56が接続されており、その入力側を構成するP型TFT52のソースドレイン間に、各R用データ線4Rの駆動電流が順次流れることとなる。そして、それに対応した電流が、カレントミラー回路56の出力側を構成するP型TFT53のソースドレイン間を流れ、有機EL表示パネル15の外部に接続された電流検出用抵抗素子54にも流れることにより、検出電圧値D0に変換されてA/D変換回路21へ出力される。すなわち、カレントミラー回路56及び検出用抵抗素子54により、データ線駆動電流を所定の電流比で増幅して電圧に変換する電流-電圧変換回路14を構成する。

【0041】

ここで、データ線を駆動する電流値は一般に μ Aオーダー以下の微小電流となるため、そのままカレントミラー回路56にて出力した場合、後段のA/D変換回路21の検出感度を確保するために電圧値を大きくとらなくては、それに対応して電流検出用抵抗素子54の抵抗値も大きくしなければ、ノイズの影響を受け易くなる。このため、例えば、カレントミラー回路56の入力-出力電流比が数10倍程度になるとなるよう、カレントミラー回路56を構成するTFT52及び53のトランジスタサイズ比を設定することが望ましい。これにより、電流検出用抵抗素子54の抵抗値を下げることができ、ノイズの影響を受け難くすることが可能となる。

また、各列のデータ線のそれぞれに一端が接続され各列毎に設けられたスイッチ回路を順次導通するよう制御して、電流検出線に現れる各列の信号電流を検出結果として順次出力するよう構成したので、電流検出線の本数を削減することができ、有機EL表示パネル15から電流検出結果を取り出すための端子の数も削減することが可能となる。

【0042】

このようにして各R用データ線4Rの駆動電流を検出した結果（検出電圧値D0）が、逐次A/D変換回路21にてデジタル検出信号に変換され、誤差検出回路20へ入力される。誤差検出回路20では、第1の入力レベルK1に対応した基準レベルRef(1)との差分が誤差信号として算出され、誤差信号はメモリ制御回路19によりメモリ回路18を制御することによりメモリ回路18の所定のアドレスへストアされる。

同様に、図4に示すように、第1のレベルK1のデジタル画像信号をアナログ電流I_i(1)として有機ELパネル15の入力信号線2R、2G、2Bへ出力し、各列のデータ線駆動回路3の系統A電流源回路320aへの電流書き込み動作を順次行う。

【0043】

そして、セレクト信号SLGをアクティブ（“H”レベル）として、G用データ線4Gの駆動電流を順次検出していき、誤差信号としてメモリ回路18へストアしていく。

さらに、各列のデータ線駆動回路3の系統A電流源回路320aへの電流書き込み動作を順次行ったのち、セレクト信号SLBをアクティブ（“H”レベル）として、B用データ線4Bの駆動電流を順次検出していき、誤差信号としてメモリ回路18へストアしていく。

【0044】

以上のように、データ線駆動回路3の系統A電流源回路320aにより第1の入力レベルK1に対応した電流で各列のデータ線を駆動したときの駆動電流をデータ線駆動電流検出回路9により検出し、その検出結果を誤差信号としてメモリ回路18にストアする。

次に、図4に示すように、第2の入力レベルK2のデジタル画像信号をコントローラよりデータ補正回路17を介してD/A変換回路16にてアナログ電流として入力信号線2R、2G、2Bへ入力して、上述したと同様の動作を繰り返すことにより、系統A電流源回路320aによる各データ線駆動電流を検出し、その検出結果を誤差信号としてメモリ回路18へストアする。

【0045】

さらに、出力イネーブル信号EN-Aをアクティブ（“H”レベル）、出力イネーブル信号EN-Bを非アクティブ（“L”レベル）として、第1の入力レベルK1に対応した電流で各列のデータ線を系統B電流源回路320bへ書き込んだ後、出力イネーブル信号E

10

20

30

40

50

N—Aを非アクティブ(“L”レベル)、E N—Bをアクティブ(“H”レベル)として、系統B電流源回路320bで各データ線を駆動したときの駆動電流をデータ線駆動電流検出回路9にて検出し、その結果を誤差信号としてメモリ回路18へストアする。

【0046】

そして、第2の入力レベルK2に対応した電流を入力信号線2R、2G、2B入力するとともに、同様の動作を繰り返すことにより、系統B電流源回路320bで各データ線を駆動したときの駆動電流をデータ線駆動電流検出回路9にて検出し、その結果を誤差信号としてメモリ回路18へストアする。

以上のように、データ線駆動電流検出モードにおいては、第1及び第2のレベルを入力した際の系統A及びB電流源回路320a、320bによる各列のデータ線駆動電流を検出して、その結果を誤差信号としてメモリ回路18へストアする。

【0047】

さて、データ線駆動電流検出モードにおける電流検出期間中は、シフトパルスSTにより当該列のデータ線4R、4G、4BがTFT50R、50G、50Bを介してカレントミラー回路55のTFT52に接続されるとき以外は、データ線には負荷が接続されずに電流吸い込み経路が遮断されてしまうため、駆動TFT320a、320bのゲートに接続されたキャパシタ321a、321bは、TFT320aのドレイン電位が下がり、TFT320a、TFT322aを介して、キャパシタ321aに保持された電荷がリークしていく。つまり、電流検出期間中に、TFT320aのゲート電圧が次第に下がり、吸い込み電流(ドレインソース間電流)が低下していくことになる。ここでは、左端のデータ線から順次電流を検出するように構成しているため、右側のデータ線へ行くほど、駆動TFT320a、320bへの電流書き込みが行われてから、データ線へ負荷が接続され電流を出力する(吸い込む)までの時間が長いので、駆動TFTの出力電流、すなわちデータ線駆動電流が低下していくことになる。

【0048】

そこで、本実施の形態1においては、データ線駆動検出モードにおける電流検出期間中にも、図4に示すように、シフトレジスタ回路14のみではなく、シフトレジスタ回路1へもコントローラからスタートパルスSTH及びシフトクロックCLKHを入力し、シフトレジスタ回路14にて生成されるシフトパルスST(0)、・・・、ST(m)、・・・、ST(M-1)と同等のシフトパルスSH(0)、SH(m)、・・・、SH(M-1)を生成する。

このとき、電流検出識別信号DETはアクティブ(“H”レベル)であるので、シフトパルスSH(0)、・・・、SH(m)、・・・、SH(M-1)はAND回路311a、311bをスルーして、TFT324a、324bのゲート電位を制御する。

【0049】

すなわち、データ線駆動電流検出モードにおける電流検出期間中にも、データ線駆動電流検出回路9により当該列のデータ線の駆動電流を検出するとき以外の期間においては、駆動TFT320a、320bの出力がTFT324a、324b、ゲミーマイノリティ325a、325bを介して、電源VDDに接続されることになる。

これにより、データ線へカレントミラー回路55のTFT52が負荷として接続されて電流経路を形成するまでの間、駆動TFT320a、320bの出力にはゲミーマイノリティ325a、325bが接続されて電流経路を形成するため、キャパシタ321a、321bに保持された電荷がリークすることによるデータ線駆動電流の低下を防止でき、各列に渡り、データ線駆動電流を正確に検出することが可能となる。

【0050】

次に、上述のようにしてメモリ18にストアされたデータ線駆動電流の検出結果の誤差信号Eに基づいて入力されるデジタル画像信号を補正する方法につき説明する。データ線駆動電流検出モードにおいては、上述のように、第1及び第2の画像信号レベルに対応してデータ線駆動回路の系統A及び系統B電流源32a、32bによって出力されるデータ線駆動電流の誤差信号が各色の列毎に検出される訳であるが、ここでは、ある一つの列のA

／Bどちらかの系統の電流源回路によるデータ線駆動電流の誤差信号に基づき、当該列に対応する画像信号を補正する場合について説明する。

【0051】

図6はデータ線駆動電流検出モードにおいてコントローラより入力される画像信号レベルとデータ線駆動電流検出回路10より検出される電流検出レベルとの関係を示す特性図である。図において、点線は基準レベルRef(1)及びRef(2)よりも電流検出レベルが大きいデータ線、一点鎖線は基準レベルRef(1)及びRef(2)よりも電流検出レベルが小さいデータ線についての一例を示している。データ線駆動電流検出モードにおいては、第1の入力レベルK1に対応するデータ線駆動電流検出レベルD(1)と基準レベルRef(1)との誤差検出信号E(1)、及び第2の入力レベルK2に対応するデータ線駆動電流検出レベルD(2)と基準レベルRef(2)との誤差検出信号E(2)とが各データ線毎にメモリ18にストアされている。

このように、データ線駆動電流検出モード時に、第1及び第2のレベルに対応した検出結果D(1)、D(2)と基準レベルRef(1)、Ref(2)との差分のみを誤差検出信号E(1)、E(2)としてメモリ回路18へストアし、表示モード時に、誤差検出信号E(1)、E(2)をメモリ回路18から読み出して入力画像信号の補正に用いるので、検出結果を保持するためのメモリ容量を低減することが可能となる。

【0052】

このとき、データ補正回路17においては、各データ線に対応する誤差検出信号E(1)及びE(2)に基づいて、画像信号レベル(階調レベル)がkの場合の当該データ線における駆動電流の検出誤差E(k)を下式に示す線形予測(線形補間)により求める。ここでは、例えば画像信号を6ビットとしているので、 $0 \leq k \leq 63$ の値となる。

まず、データ補正回路17では、入力される6ビットの画像信号R[5...0]、G[5...0]、B[5...0]を例えば10ビットの信号r[9...0]、g[9...0]、b[9...0]に予め変換してビット拡張を行っておく。ここでは、変換後の信号レベルSo(k)として下式(1)に示す変換係数 α の線形変換を行う。

【0053】

$$S_o(k) = \alpha \cdot k \quad \cdots \text{式(1)}$$

ここでは、さらに簡単のため、それぞれ左4ビットシフトにより変換するものとするれば、 $\alpha = 16$ となる。

【0054】

そして、誤差検出信号E(1)及びE(2)に基づいて、画像信号レベルkにおける誤差信号E(k)を下式(2)により補間して求める。

$$E(k) = ((E(2) - E(1)) / (K2 - K1)) \cdot (k - K1) + E(1) \quad \cdots \text{式(2)}$$

ここで誤差信号の検出を行ってある画像信号レベルに対応する誤差信号は特に補間により求める必要はなく、そのまま誤差信号として用いればよい。

【0055】

次に、画像信号に対する補正值e(k)を下式(3)により求める。

$$e(k) = E(k) / G \quad \cdots \text{式(3)}$$

但し、G：データ補正回路17の出力レベルに対するA/D変換回路21出力レベルの変換係数。

【0056】

そして、この変換されたSo(k)に対して、下式(4)の処理を行う。

$$S_i(k) = S_o(k) - e(k) \quad \cdots \text{式(4)}$$

但し、Si(k)：入力画像信号レベルkのときのデータ補正回路17出力信号レベル。

【0057】

このように、本実施の形態1においては、各データ線(各列)の駆動電流に対して図7(a)に示すような一種のフィードバック制御系を構成していると考えても良い。すなわち、データ線駆動電流検出モードにおいては、図7(b)に示す処理系が構成され、コント

10

20

30

40

50

ローラ回路から2つのレベルの入力画像信号(レベルK1、K2)がデータ補正回路17に入力され、上述の式(3)に従って例えば10ビットの信号(レベルS0(1)、S0(2))に変換され、データ補正回路17の出力信号(第1のレベルK1、第2のレベルK2)としてD/A変換回路18へ送られる。D/A変換回路18においてアナログ電流に変換された後(変換係数をG1とする)、有機EL表示パネル15へ入力され、データ線駆動回路8にてデータ線駆動電流 I_d としてデータ線を駆動する。ここで、データ線駆動回路8の特性のはらつきがデータ線駆動電流のはらつきとなって現れるので、データ線駆動回路8の変換係数は列毎に異なる。

【0058】

このとき、上述したように、垂直走査回路8は動作を停止しており、データ線駆動電流 I_d は画素回路7に供給されることなく、データ線駆動電流検出回路9にて検出され(変換係数をG3)、電流検出力信号(レベルD(1)、D(2))としてA/D変換回路21にてA/D変換された後(変換係数をG4とする)、誤差検出回路20へ入力される。誤差検出回路20では、2つのレベルD(1)及びD(2)の電流検出信号とそれぞれ第1及び第2のレベルに対応する基準レベルRef(1)及びRef(2)との差分がとられ、誤差検出信号E(1)及びE(2)としてメモリ回路18にストアされる。

【0059】

上述したようにこのような処理が全部のデータ線にわたって行われ、各データ線毎に、第1及び第2のレベルの信号を入力したときのそれぞれの誤差検出信号E(1)及びE(2)としてメモリ回路18へストアされる。

そして、表示モードにおいては、上述したように、各RGB列毎に表示すべきデータに対応した電流がデータ線駆動回路8へ順次書き込まれる。このとき、各データ線に対して、図7(c)に示す処理系が構成され、メモリ回路18から読み出された当該データ線における誤差検出信号E(1)及びE(2)から、上述の式(2)に従って、表示すべき画像信号レベルに対応した誤差信号E(k)が線形予測(線形補間)により求められる。本実施の形態における式(2)に基づく線形補間の変換係数 $\beta=1$ である。そして、上述の式(3)に従って、レベルが変換された誤差信号 $e(k)$ が求められる。

【0060】

ここで、上述のデータ補正回路17の出力レベルに対するA/D変換回路21出力レベルの変換係数Gは、

$$G = G1 \cdot G2 \cdot G3 \cdot G4$$

で示される。

但し、G2:基準レベルRef(1)及びRef(2)から求められるデータ線駆動回路8の変換係数。

【0061】

一方、コントローラから入力される画像信号は、そのレベルに応じて上述の式(1)に従ってビット拡張され、上述の式(4)に従って、誤差が補正された補正データ $S_i(k)$ としてD/A変換回路18に送られる。そして、D/A変換回路18においてアナログ電流に変換された後、有機EL表示パネル15へ入力され、誤差を補正された表示すべきデータに対応した電流として各列のデータ線駆動回路8へ順次書き込まれる。

そして次のライン期間において、各データ線駆動回路8は、データ線駆動電流 $I_R(1)$ 、 $I_G(1)$ 、 $I_B(1)$ 、 \dots 、 $I_R(m)$ 、 $I_G(m)$ 、 $I_B(m)$ 、 \dots 、 $I_R(M-1)$ 、 $I_G(M-1)$ 、 $I_B(M-1)$ を、各列共通のタイミングにて各データ線4へ出力する。

【0062】

以上のように、本実施の形態1においては、第1及び第2のレベルの入力画像信号をそれぞれ入力したときの検出結果と第1及び第2のレベルに対応した基準検出結果との差分を誤差検出結果として、それに基づいて表示すべき画像信号を補正するよう構成したので、第1及び第2のレベル以外の画像信号を入力したときの信号線駆動電流の誤差を線形補間により容易に求めることができ、データ線駆動回路を形成するTFTの特性はらつきによ

10

20

30

40

50

るデータ線駆動電流のはりつきを抑えることができ、表示のムラを改善することが可能となる。

【0063】

実施の形態2

上記の実施の形態1においては、入力画像信号に対するデータ線駆動電流が線形特性であることを前提として、2点の誤差検出信号E(1)、E(2)により補正するよう構成した。

ところが、特に表示のガンマ補正を行う場合など、入力画像信号に対するデータ線駆動電流が非線形特性の関係となることがある。このように、入力画像信号に対するデータ線駆動電流が非線形特性となる形態につき、以下実施の形態2として説明する。

【0064】

図8は実施の形態2におけるデータ線駆動電流検出モード時にコントローラより入力される画像信号レベルとデータ線駆動電流検出回路10より検出される電流検出レベルとの関係を示す図である。

データ補正回路17においては、画像信号レベルkの取り得る値(画像信号を6ビットとすれば、 $0 \leq k \leq 63$ の全ての整数値。)について、予め、基準レベルRef(0)、Ref(1)、・・・、Ref(63)を設定しておく。

【0065】

そして、誤差検出信号E(1)及びE(2)に基づいて、画像信号レベルkにおける誤差信号E(k)を式(5)に従った補間により求める。

$$E(k) = (E(2) - E(1)) \times ((\text{Ref}(k) - \text{Ref}(1)) / (\text{Ref}(2) - \text{Ref}(1))) + E(1) \quad \text{式(5)}$$

ここで、誤差信号の検出を行っている画像信号レベルに対応する誤差信号は特に補間により求める必要はなく、そのまま誤差信号として用いられよい。

その他の構成及び動作は実施の形態1にて説明したのと同様であるので、詳しい説明は省略する。

【0066】

以上のように、本実施の形態2においては、画像信号レベルの取り得る値について、予め、基準検出結果を設定しておき、第1及び第2のレベルの表示すべき画像信号をそれぞれ入力したときの上記検出結果と対応する画像レベルの基準検出結果との差分を誤差検出結果として、それに基づいて表示すべき画像信号を補正するよう構成したので、第1及び第2のレベル以外の画像信号を入力したときの信号線駆動電流の誤差を補間により容易に求めることができ、それに基づいて入力画像信号を補正するので、信号線駆動手段を形成するTFTの特性ははりつきによる信号線駆動電流のはりつきを抑えることが可能となり、表示のムラを改善することができる。また、第1及び第2のレベルに対応した検出結果の基準検出結果との差分のみを入力画像信号の補正に用いるので、検出結果を保持するためのメモリ容量を低減することが可能となる。

【0067】

実施の形態3

実施の形態1においては、入力画像信号に対するデータ線駆動電流が線形特性であることを前提として、2点の誤差検出信号E(1)、E(2)により入力画像信号に対応する誤差信号を補間して求めるよう構成した。ところが、特に表示のガンマ補正を行う場合など、入力画像信号に対するデータ線駆動電流が非線形特性となることがある。この場合、実施の形態1における2点の誤差検出信号による線形補間では補正が不十分となることがある。

ここでは、補正の精度をより向上させることのできる多点の誤差検出信号による補正を行う場合の形態につき説明する。

【0068】

本実施の形態3における電流検出モードでは、実施の形態1において図4をもとに説明し

たデータ線駆動回路 3 への書き込みデータ線駆動電流検出誤差信号のメモリ回路 18 への書き込みという一連のシーケンスを、入力画像信号レベルを $K1$ 、 $K2$ 、 \dots 、 KN とし、順次繰り返すことになる ($3 \leq N \leq 63$)。

【0069】

図 9 は実施の形態 3 におけるデータ線駆動電流検出モード時にコントローラより入力される画像信号レベルとデータ線駆動電流検出回路 10 より検出される電流検出レベルとの関係を示す図である。図は、画像信号レベル k が $K1$ と $K2$ の間の区間にある場合を示している。

【0070】

データ補正回路 17 においては、画像信号レベル k が、誤差信号を検出している N 点のうち、どの 2 点の間の区間にあるかを判別する。

例えば、画像信号レベル k が Kn と $Kn+1$ の間にある場合、実施の形態 1 で示した式 (2)、あるいは実施の形態 2 で示した式 (5) と同様にして、誤差検出信号 $E(n)$ 及び $E(n+1)$ に基づいて、画像信号レベル k における誤差信号 $E(k)$ を下式 (6) もしくは下式 (7) に従った補間により求める。

$$E(k) = ((E(n+1) - E(n)) / (Kn+1 - Kn)) \cdot (k - Kn) + E(n) \quad \text{式 (6)}$$

$$E(k) = (E(n+1) - E(n))$$

$$\times ((Ref(k) - Ref(n)) / (Ref(n+1) - Ref(n))) + E(n) \quad \text{式 (7)}$$

誤差信号の検出を行ってある画像信号レベルに対応する誤差信号は特に補間により求める必要はなく、そのまま誤差信号として用いられよい。

その他の構成及び動作は実施の形態 1 にて説明したのと同様であるので、詳しい説明は省略する。

【0071】

以上のように、本実施の形態 3 においては、 N 種類のレベル ($3 \leq N \leq$ 表示階調数) の入力画像信号をそれぞれ入力したときの検出結果と N 種類のレベルに対応した基準検出結果との差分を誤差検出結果するとともに、入力画像信号のレベルが N 種類のレベルうちの隣接する 2 つのレベルの間におけるいずれの区間にあるかを判別して、該隣接する 2 つのレベルに対応した各列の誤差検出結果に基づいて表示すべき画像信号を補正する。これにより、特に、入力画像信号に対するデータ線駆動電流が非線形特性の関係となる場合においても、 N 種類のレベル以外の画像信号を入力したときのデータ線駆動電流の誤差を線形補間により容易に求めることができ、それに基づいて入力画像信号を補正するので、データ線駆動回路を形成する TFT の特性ばらつきによるデータ線駆動電流のばらつきを抑えることが可能となり、表示のムラを改善することができる。

【0072】

実施の形態 4

上記の各実施の形態 1～3 においては、2 点もしくは多点の誤差検出信号より入力画像信号に対応する誤差信号を補間して求めるよう構成した。本実施の形態 4 においては、さらに精度よく画像信号の補正ができるように入力画像信号レベルの取り得る値全てに対応した誤差信号を検出するように構成する。

【0073】

本実施の形態 4 における電流検出モードでは、実施の形態 1 において図 4 をもとに説明したデータ線駆動回路 3 への書き込みデータ線駆動電流検出誤差信号のメモリ回路 18 への書き込みという一連のシーケンスを、入力画像信号レベルの取り得る値 (上記各実施の形態 1～3 同様に、入力画像信号を 6 ビットとすると、 $0 \leq k \leq 63$ の全ての整数値) の全てにわたって順次繰り返すことになる。そして、検出された画像信号に対応する各誤差信号をメモリ回路 18 でストアする。

【0074】

表示モードにおいては、上記各実施の形態 1～3 による誤差信号の補間処理が省略される

10

20

30

40

50

が、その他の構成及び動作は実施の形態1にて説明したのと同様であるので、詳しい説明は省略する。

また、上記実施の形態1において図7をもとに説明した処理系の構成についても、式(2)に従った補間処理のブロックが省略されるだけで、他は上記実施の形態2、3で説明したのと同様の構成である。

【0075】

以上のように、本実施の形態4においては、表示すべき画像信号の取り得る全てのレベルをそれぞれ入力したときの各列の誤差検出結果に基づいて表示すべき画像信号を補正するので、入力画像信号をより精度良く補正することが可能となり、データ線駆動回路を形成するTFTの特性ばらつきによるデータ線駆動電流のばらつきをより効果的に抑えることが可能となり、表示のムラを改善することができる。

【0076】

実施の形態5.

実施の形態1にて説明したように、表示装置に用いられる有機EL表示パネル15は、シフトレジスタ回路1、データ線駆動回路3、画素回路6R、6B、6G、垂直走査回路8、データ線駆動電流検出回路9を内蔵しており、これらの回路は例えばガラス基板上に低温多結晶シリコンTFTにより形成されている。さらに、画素回路6R、6G、6Bの画素電極(図示せず)上に有機EL層が蒸着等により形成されている。低温多結晶シリコンTFTにて回路が構成された基板は一般にアレイ基板と呼ばれる。

有機EL表示パネル15を製造する際に、データ線駆動回路3から出力されるデータ線駆動電流のばらつきの度合いにより、例えば、画素電極上に有機EL層が形成される前の工程において、アレイ基板の良品/不良品の検査を行うことができる。

すなわち、アレイ基板製造工程における良品検査において、実施の形態1の電流検出モードに必要な画像信号や制御信号を外部の検査装置より入力し、データ線検出回路9により検出された各列のデータ線駆動電流検出レベルの偏差が所定の範囲にある場合にはアレイ基板を良品、所定の範囲から外れる場合には不良品と判別することができる。

【0077】

なお、実施の形態2〜4においては、6ビットの入力画像信号を10ビットの信号へビット拡張を線形変換ではなく、例えばルックアップテーブルを参照することによるガンマ補正処理を兼ねるよう構成することも可能である。

【0078】

また、上記実施の形態1〜4においては、画像信号レベル $k=0$ のときは、コントラスト比を高めるという観点から有機EL素子を消灯するためにデータ線駆動回路3からのデータ線駆動電流を供給しないように制御することが望ましい。このため、画像信号レベル $k=0$ の場合、すなわち、全黒表示の場合には、特にデータ線駆動電流のばらつきを補正する必要がないことも有り得る。このような場合には、画像信号レベル $k=0$ のときには、データ補正回路17における画像信号の補正処理を行なわないように構成しても良い。

【0079】

また、上記実施の形態2〜4においては、特に入力画像信号に対するデータ線駆動電流が非線形特性となる場合につき説明したが、要求される補正の制度との兼ね合いで、入力画像信号の一部を実施の形態1で示した線形補間により補正する、すなわち実施の形態1と組み合わせた形態をとることも可能である。

さらに、

【0080】

また、メモリ回路18としては、EPROM(Erasable Programmable Read Only Memory)やEEPROM(Electrically Erasable Programmable Read Only Memory)等の不揮発性メモリやSRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)等の揮発性メモリを用いることができる。

【0081】

不揮発性メモリを用いる場合には、例えば装置の出荷時に電流検出モードを実行し、各列の誤差検出信号をメモリ回路18へ書き込むようにすれば良い。また、揮発性メモリを用いる場合には、例えば装置の起動時に電流検出モードを実行し、各列の誤差検出信号をメモリ回路18へ書き込むようにすれば良い。

【0082】

また、D/A変換回路16、データ補正回路17、メモリ回路18、メモリ制御回路19、誤差検出回路20、A/D変換回路21はコントローラと一体のASIC (Application Specific IC) 等として構成することが可能である。

また、データ補正回路17や誤差検出回路20の動作は、マイクロプロセッサ等によるソフトウェア処理によっても行うことが可能である。

【0083】

さらに、上記各実施の形態1〜5においては、発光素子を有機EL素子として説明したが、電流により発光輝度が変化するLED (Light Emitting Diode) やFDE (Field Emitter) の他の電流制御型素子を用いた表示装置においても本発明を適用できることも言うまでもない。

【0084】

【発明の効果】

本発明の第1の構成による表示装置は、画素マトリクス回路の各列の上記信号線へ供給される信号電流を検出して検出結果として順次出力し、その検出結果に基づいて表示すべき画像信号を補正するよう構成したので、信号線駆動手段を形成するTFTの特性ばらつきによる信号線駆動電流のばらつきを抑えることができる。

【0085】

本発明の第2の構成による表示装置は、上記第1の構成において、各列の信号線のそれぞれに一端が接続され各列毎に設けられたスイッチ回路を順次導通するよう構成したので、電流検出線の本数を削減することができ、表示パネルから検出結果を出力する場合には、その取り出し用端子の数も削減することが可能となる。

【0086】

本発明の第3の構成による表示装置は、上記第2の構成において、信号電流検出手段が、電流検出線に現れる各列の信号電流を所定の電流比により増幅したのち、電圧に変換して出力するよう構成したので、出力インピーダンスを下げることができ、ノイズの影響を低減して精度良く信号線駆動電流を検出して出力することが可能となる。

【0087】

本発明の第4の構成による表示装置は、上記第1の構成において、第1及び第2のレベルの表示すべき画像信号をそれぞれ入力したときの上記検出結果と第1及び第2のレベルに対応した基準検出結果との差分を誤差検出結果として、それに基づいて表示すべき画像信号を補正するよう構成したので、第1及び第2のレベル以外の画像信号を入力したときの信号線駆動電流の誤差を線形補間により容易に求めることができ、信号線駆動手段を形成するTFTの特性ばらつきによる信号線駆動電流のばらつきを抑えることが可能となる。

【0088】

本発明の第5の構成による表示装置は、上記第1の構成において、N種類のレベル ($3 \leq N \leq$ 表示階調数) の表示すべき画像信号をそれぞれ入力したときの検出結果とN種類のレベルに対応した基準検出結果との差分を誤差検出結果するとともに、表示すべき画像信号のレベルがN種類のレベルうちの隣接する2つのレベルの間のいずれの区間にあるかを判別して、該隣接する2つのレベルに対応した各列の誤差検出結果に基づいて表示すべき画像信号を補正するよう構成したので、特に、入力画像信号に対する信号線駆動電流が非線形特性の関係となる場合においても、N種類のレベル以外の画像信号を入力したときの信号線駆動電流の誤差を線形補間により容易に求めることができ、信号線駆動手段を形成するTFTの特性ばらつきによる信号線駆動電流のばらつきを抑えることが可能となる。

【0089】

10

20

30

40

50

本発明の第6の構成による表示装置は、上記第1の構成において、表示すべき画像信号の取り得る全てのレベルをそれぞれ入力したときの各列の誤差検出結果に基づいて表示すべき画像信号を補正するよう構成したので、入力画像信号をより精度良く補正することが可能となり、信号線駆動手段を形成するTFTの特性ばらつきによる信号線駆動電流のばらつきをより効果的に抑えることが可能となる。

【0090】

本発明の第7の構成による表示装置は、上記第1の構成において、信号電流検出手段により信号電流を検出するときには走査手段を停止するよう構成したので、画素回路への信号線駆動電流の分流を回避して信号線駆動電流を精度よく確実に検出することが可能となる。

【0091】

本発明の第8の構成による表示装置は、上記第4～6のいずれかの構成において、誤差検出結果を保持するメモリ手段を備えたので、各列の信号線に供給される信号電流の誤差検出結果をメモリ手段に書き込む動作モードと、表示すべき画像信号を上記補正手段により補正して画素マトリクスに表示する動作モードとを時間的に分離することができ、前者の動作モードを装置起動時等に行うことが可能となる。

【0092】

本発明による表示パネルは、各画素の発光素子に電流を供給する画素マトリクス回路と、画素マトリクス回路へ信号電流を供給する信号線と、表示すべき画像信号を信号電流として信号線へ出力する信号線駆動手段と、画素マトリクス回路の各列の信号線へ供給される信号電流を検出し、検出結果として順次出力する信号電流検出手段を備えたので、信号線駆動電流のばらつきの度合いにより、アレイ基板の良品／不良品の検査を行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による表示装置の構成を示すブロック図である。

【図2】本発明の実施の形態1による表示装置におけるデータ線駆動回路の構成を示す回路図である。

【図3】本発明の実施の形態1による表示装置における画素回路の構成を示す回路図である。

【図4】本発明の実施の形態1による表示装置におけるデータ線駆動電流検出モードの動作シーケンスを示す波形図である。

【図5】本発明の実施の形態1による表示装置におけるデータ線駆動電流検出回路の構成を示す回路図である。

【図6】本発明の実施の形態1による表示装置におけるデータ線駆動電流検出モードの入力画像信号レベルと電流検出レベルとの関係を示す特性図である。

【図7】本発明の実施の形態1による表示装置における処理系の構成を示すブロック図である。

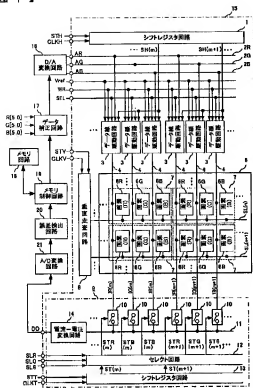
【図8】本発明の実施の形態2による表示装置におけるデータ線駆動電流検出モードの入力画像信号レベルと電流検出レベルとの関係を示す特性図である。

【図9】本発明の実施の形態3による表示装置におけるデータ線駆動電流検出モードの入力画像信号レベルと電流検出レベルとの関係を示す特性図である。

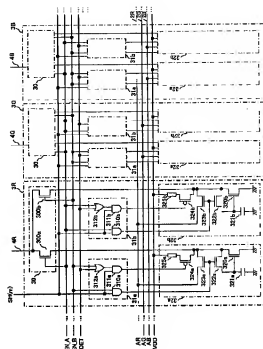
【符号の説明】

3 データ線駆動回路、4 データ線（信号線）、5 画素マトリクス、8 垂直走査回路、9 データ線駆動電流検出回路、10 スイッチ回路、11 電流検出線、12 セレクト回路、13 シフトレジスタ回路、14 電流－電圧変換回路、15 有機EL表示パネル、17 データ補正回路、18 メモリ回路、20 誤差検出回路。

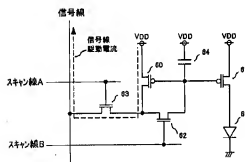
【図 1】



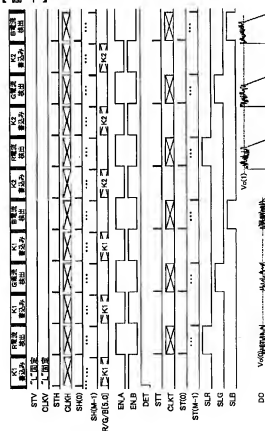
【図 2】



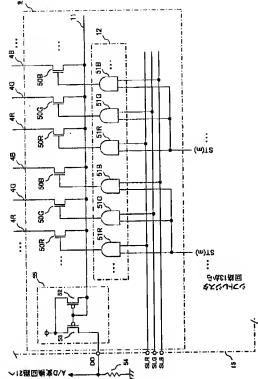
【図 3】



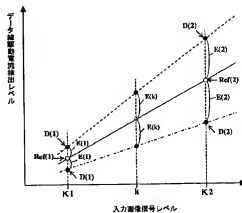
【図 4】



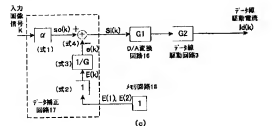
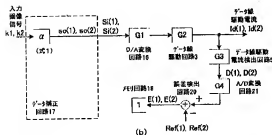
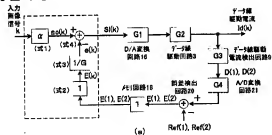
【図5】



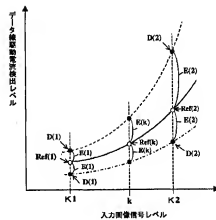
【図6】



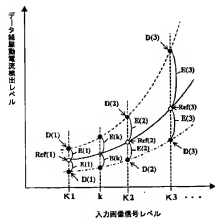
【図7】



【図8】



【図 9】



フロントページの続き

(51)Int. Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 1 P

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 4 2 P

H 0 5 B 33/14 A

(72)発明者 橋戸 隆一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 浦壁 隆浩

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 後藤 末

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 岡部 正志

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 井上 満夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA04

5C080 AA06 BB05 DD05 DD15 EE29 FF11 GG12 JJ02 JJ03 JJ05